

# Programmable Logic Technologies

- PLDs
- VLSI PLDs
- CPLDs και FPGAs
- ALTERA MAX 7000 CPLDs
- Xilinx XC4000
- Η λογική της Xilinx
- Xilinx Configurable Logic Block
- Xilinx IOB structure

# Programmable Logic Devices PLDs

- Οι συνηθισμένοι τύποι εξαρτημάτων προγραμματιζόμενης λογικής (Programmable Logic Devices **PLDs**) είναι οι ακόλουθοι:
  - Read Only Memory (**ROM**)
  - Programmable Logic Array (**PLA**)
  - Programmable Array Logic (**PAL**)
  - Complex Programmable Logic Device (**CPLD**)
  - Field-Programmable Gate Array (**FPGA**)
- Στα PLDs οι τεχνολογίες προγραμματισμού βασίζονται
  - στη δημιουργία ή την καταστροφή ενδοσυνδέσεων
  - σε look-up tables με χρήση SRAM
  - σε ενδοσυνδέσεις ελεγχόμενες από transistors

# PLDs

- Προγραμματισμός με δημιουργία ή καταστροφή ενδοσυνδέσεων (υλικά μη επαναπρογραμματιζόμενα)
  - Fuses : Κάθε προγραμματιζόμενο σημείο του PLD αποτελεί μία συνένωση με την ύπαρξη μιας fuse, η οποία μπορεί να καταστραφεί με την εφαρμογή κατάλληλου δυναμικού.
  - Mask programming : Αυτή η μέθοδος γίνεται μόνο από τον κατασκευαστή των ημιαγωγών.
  - Antifuse : Είναι το αντίθετο της μεθόδου των fuses. Η εφαρμογή κατάλληλου δυναμικού δημιουργεί μία συνένωση.
- Προγραμματισμός με look-up tables
  - Ο έλεγχος των ενδοσυνδέσεων ελέγχεται από ένα **look-up table** (πίνακας αλήθειας) το οποίο αποθηκεύεται σε μία SRAM .

# PLDs

- Προγραμματισμός με ενδοσυνδέσεις ελεγχόμενες από transistors
  - Η πιο συνηθισμένη τεχνολογία βασίζεται στην αποθήκευση φορτίου σε **floating gate** ενός MOS transistor. Με αυτόν τον τρόπο το transistor συμπεριφέρεται ως διακόπτης. Αυτή η τεχνολογία επιτρέπει το σβήσιμο και τον επαναπρογραμματισμό του εξαρτήματος.
  - Erasable με έκθεση στο υπεριώδες.
  - Electrically erasable με εφαρμογή κατάλληλου δυναμικού.

# VLSI Programmable Logic Devices

- Για μεγάλες και σύνθετες συναρτήσεις σήμερα χρησιμοποιείται η τεχνολογία VLSI. Υπάρχουν τρεις βασικοί δρόμοι σχεδιασμού κυκλωμάτων VLSI.
  - Full custom design. Σε αυτή την περίπτωση ο σχεδιασμός του ολοκληρωμένου ξεκινά από το μηδέν και η κατασκευή του γίνεται από κάποια εταιρεία ημιαγωγών με υψηλό κόστος.
  - Standard cell design. Σε αυτή την περίπτωση χρησιμοποιούνται ήδη υπάρχοντα μεγάλα κομμάτια του σχεδίου τα οποία προσαρμόζονται. Αυτή η λύση είναι μικρότερου κόστους.
  - Gate array. Σε αυτή την περίπτωση πολλές όμοιες πύλες σχεδιάζονται στο πυρίτιο και αποτελούν ένα ολοκληρωμένο. Η διασύνδεση των πυλών είναι προγραμματιζόμενη. Ο προγραμματισμός γίνεται με την χρήση ειδικών προγραμμάτων σχεδίασης CAD. Το κόστος των εξαρτημάτων είναι μικρό.

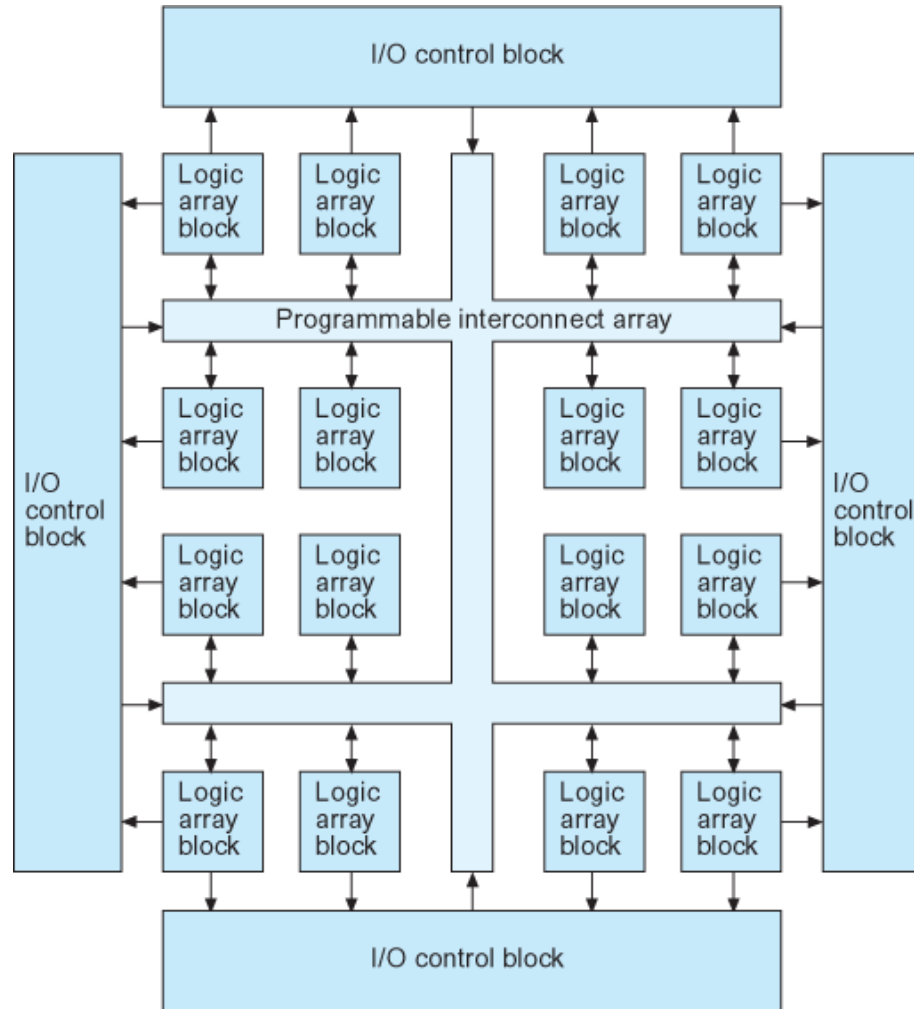
# CPLDs και FPGAs

- Τα τελευταία χρόνια έχουν αναπτυχθεί PLDs με υψηλή χωρητικότητα από 1000 έως μερικά εκατομμύρια πύλες στα οποία μπορούν να “εισαχθούν” μεγάλα ηλεκτρονικά σχέδια.
  - Complex Programmable Logic Device (**CPLD**)
  - Field-Programmable Gate Array (**FPGA**)
- Οι παραπάνω δύο τύποι έχουν τις ακόλουθες ιδιότητες
  - Μεγάλες χωρητικότητες για συνδυαστική λογική.
  - Προσχεδιασμένα flip-flops
  - Προγραμματιζόμενες διασυνδέσεις ανάμεσα στην συνδυαστική λογική, τα flip-flops και τις εισόδους εξόδους του ολοκληρωμένου.
  - Σχετικά χαμηλό κόστος αγοράς.

# ALTERA MAX 7000 CPLDs

- Η παραπάνω σειρά της της ALTERA βασίζεται σε **EEPROM floating gate technology**.
- Στην επόμενη διαφάνεια εικονίζεται η δομή του CPLD στην οποία είναι εμφανή τα εξής
  - Logic array blocks
  - Programmable interconnect array
  - I/O control Block
- Κάθε logic array block αποτελείται από 16 macrocells.  
Το κάθε macrocell περιέχει ένα flip-flop μαζί με αρκετές πύλες για συνδυαστική λογική.  
Το flip-flop μπορεί να προγραμματιστεί ως D, T, JK ή SR flip-flop.
- Υπάρχει η δυνατότητα να χρησιμοποιηθούν πύλες από ένα macrocell σε ένα άλλο.

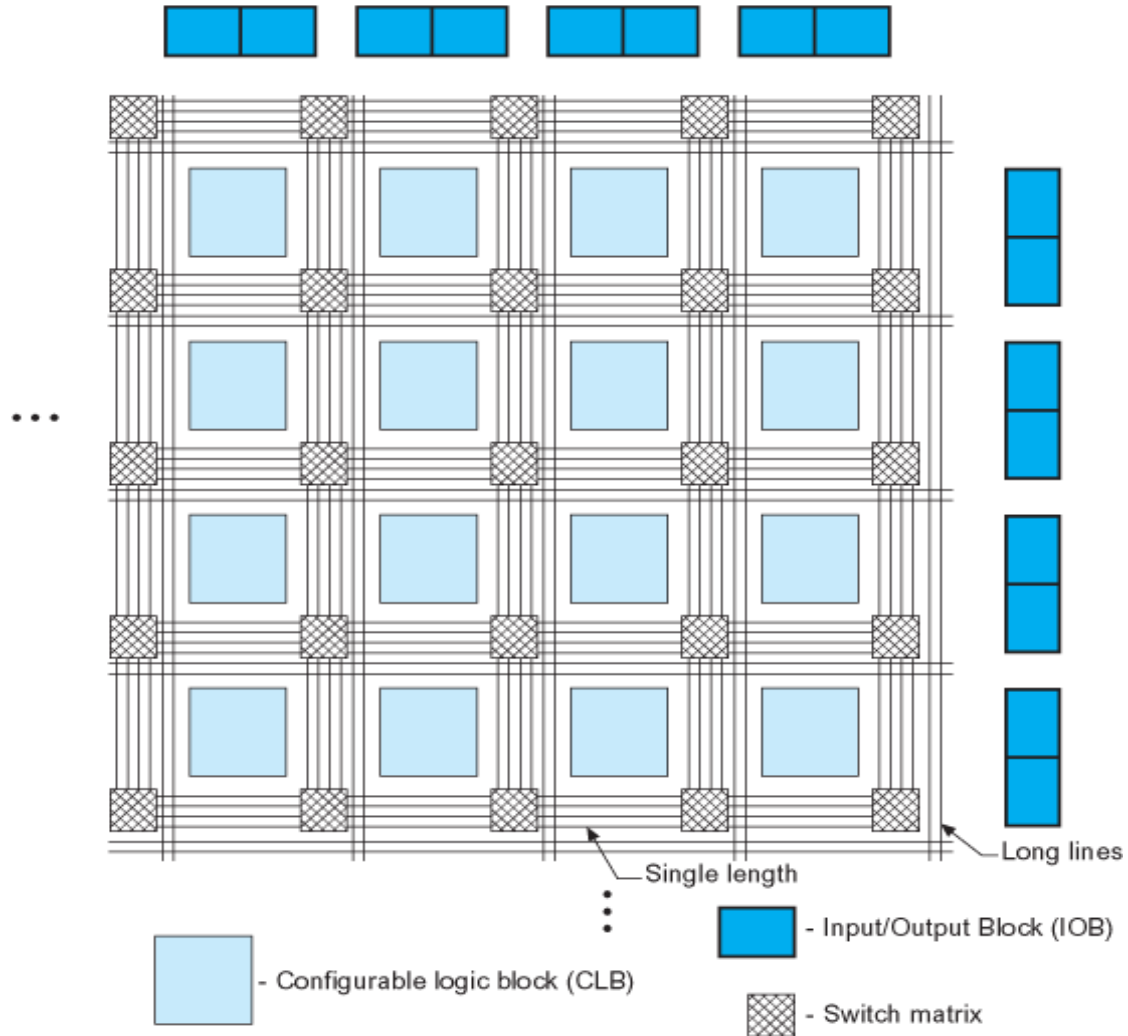
# ALTERA MAX 7000 CPLDs



# Xilinx XC4000

- Στο εσωτερικό ενός FPGA Xilinx XC4000 μπορούμε να διακρίνουμε τα ακόλουθα
  - Configurable Logic Blocks (CLBs): Αποτελούν ένα μεγάλο array προγραμματιζόμενων blocks στο οποίο εισάγεται η “λογική”.
  - Input/Output Blocks (IOBs): Βρίσκονται στα άκρα του FPGA και ρυθμίζουν την είσοδο και την έξοδο του array.
  - Switch Matrices: Ρυθμίζουν τις συνδέσεις μεταξύ των CLBs και των IOBs.
- Η Xilinx χρησιμοποιεί τεχνολογία SRAM για την αποθήκευση του προγραμματισμού. Συνήθως η SRAM φορτώνεται από μία PROM. Ο προγραμματισμός παραμένει στο FPGA μέχρι να επαναπρογραμματιστεί ή απλά να σβήσει η τάση.

# Xilinx XC4000

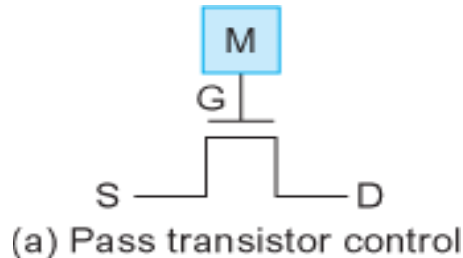


# Xilinx XC4000

- Τα bits της SRAM ελέγχουν την λογική στο FPGA με τρεις τρόπους

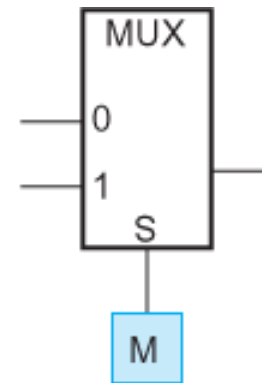
- Pass transistor control:

Ένα MOS transistor μπορεί να χρησιμοποιηθεί ως διακόπτης ανάμεσα σε δύο σημεία ανάλογα με την τιμή του bit της SRAM.



- Multiplexer Control:

Ένα στοιχείο της SRAM μπορεί να χρησιμοποιηθεί ως select σε ένα multiplexer 2-to-1.

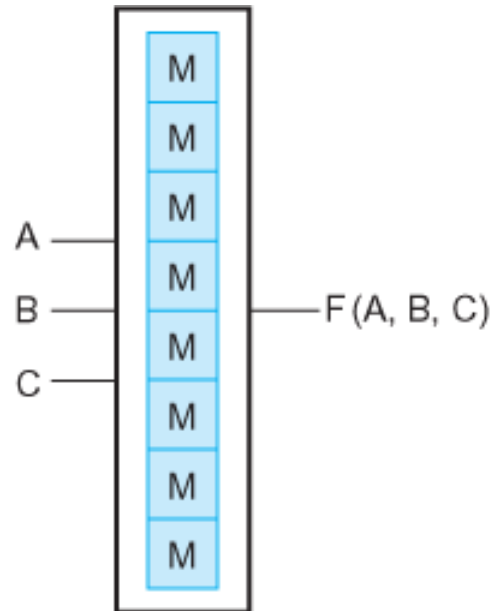


(b) Multiplexer control

# Xilinx XC4000

- Look up table:

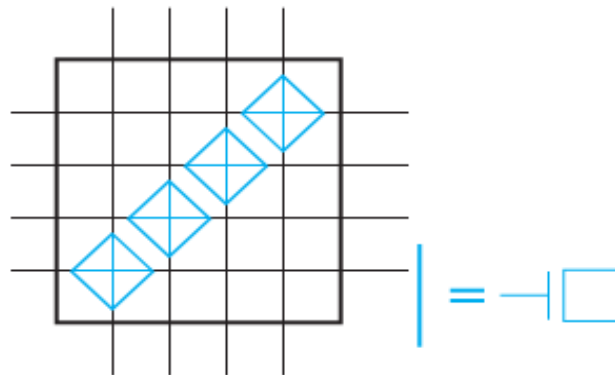
Για παράδειγμα ένα look-up table για τρεις μεταβλητές εικονίζεται παρακάτω. Τα στοιχεία της SRAM περιέχουν τον πίνακα αληθείας της συνάρτησης.



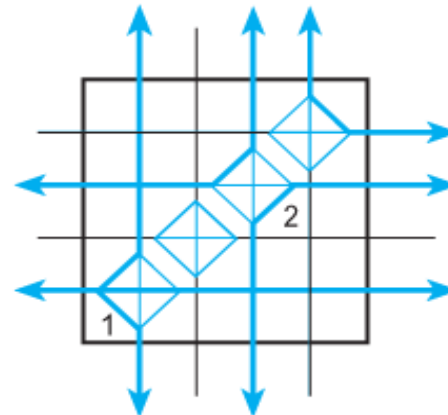
(c) Look up table implementation

# Xilinx XC4000

- Οι διασυνδέσεις μεταξύ των CLB's και των IOB's γίνονται τόσο με γραμμές οι οποίες εκτείνονται κατά μήκος ή κατά πλάτος ολόκληρου του array (long lines), όσο και με γραμμές μεταξύ γειτονικών CLB's οι οποίες ελέγχονται με τα switch matrices.
- Ένα παράδειγμα ενός switch matrix εικονίζεται παρακάτω. Εκεί όπου τέμνονται δύο γραμμές υπάρχουν έξι pass transistors, ένα κάθετα ένα οριζόντια και τέσσερα διαγώνια.



(a) Switch Matrix Transistors



(b) Examples of Connections

# Η λογική της Xilinx

- Στη συνέχεια εικονίζονται δύο παραδείγματα για το πώς η λογική εισέρχεται σε ένα CLB και πώς λειτουργεί η λογική για τα IOBs.
- Για το CLB έχουμε συνολικά 13 σήματα εισόδου συμπεριλαμβανομένου και του Clock K.

Τρεις look-up tables εισάγουν τη συνδυαστική λογική των συναρτήσεων  $G'$ ,  $F'$  και  $H'$ .

Δύο D flip-flops ελέγχουν τις εξόδους XQ και YQ.

Υπάρχει επίσης η δυνατότητα Set/Reset (S/R), απ' ευθείας σήματος DIN και σήματος (EC) το οποίο μπορεί να χρησιμοποιηθεί ως ENABLE σήμα στα flip-flops.

- Τα IOBs είναι επίσης προγραμματιζόμενα και στο σχήμα εικονίζεται η λογική της λειτουργίας των.

Figure 1: Block diagram of the proposed 16-bit LFSR. The diagram shows three 16-bit SRAM look-up tables for  $G'$ ,  $H'$ , and  $F'$ . The  $G'$  table is connected to the first MUX (DIN), the  $H'$  table to the second MUX (DIN), and the  $F'$  table to the third MUX (DIN). Each MUX has two 8-bit outputs ( $F'$ ,  $G'$ ,  $H'$  S) and one 16-bit output (M). The MUX outputs are combined using XOR gates to produce the next state. The circuit includes S/R Control blocks, PRE blocks, and D flip-flops. The clock signal K (CLOCK) is connected to the clock inputs of the flip-flops. The output of the LFSR is the 16-bit output of the third MUX.

# Xilinx IOB structure

